

SyreNe

Systemreduktion für IC Design in der Nanoelektronik

Peter Benner

Max-Planck-Institut für Dynamik
komplexer technischer Systeme
Computational Methods in Systems and
Control Theory Group
Magdeburg

Technische Universität Chemnitz
Fakultät für Mathematik
Mathematik in Industrie und Technik
Chemnitz



BMBF Statusseminar
Kaiserslautern, 9.-10. Juni 2010

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Teilprojekte

TU Chemnitz						Universität Hamburg		
	Prof. Dr. Peter Benner	Dipl.-Math. techn. André Schneider	Dipl.-Math. techn. Thomas Mach	Prof. Dr. Michael Hinze	Dipl.-Math. techn. Martin Kunkel			
	TU Braunschweig							TU Braunschweig
		Prof. Dr. Matthias Bollhöfer	Dipl.-Math. techn. André Eppler		Prof. Dr. Heike Faßbender		Juan Pablo Amoroch M.Sc.	
	ITWM Kaiserslautern							TU Berlin
Dr. Patrick Lang		Dipl.-Math. Oliver Schmidt		Dr. Tatjana Stykel	Dr. Andreas Steinbrecher			

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Teilprojekte

- 1 Einführung in die Nanoelektronik
- 2 Mathematische Modellierung von Schaltkreisen
- 3 Modellreduktion
- 4 SyreNe Teilprojekte

SyreNe

Peter Benner

Nanoelektronik

Mikro-
/Nanoelektronik

Miniaturisierung
Schaltkreis-
simulation

Modellierung

Modellreduktion

Teilprojekte

Ausgangssituation

- Entwicklung elektronischer Bauteile und integrierter Schaltkreise ("integrated circuits", ICs), deren Strukturen Größenordnungen im **Mikro-** ($1 \mu\text{m} = 10^{-6}\text{m}$) bzw. **Nano-** ($1 \text{nm} = 10^{-9}\text{m}$) **meterbereich** aufweisen.

Ausgangssituation

- Entwicklung elektronischer Bauteile und integrierter Schaltkreise ("integrated circuits", ICs), deren Strukturen Größenordnungen im **Mikro-** ($1 \mu\text{m} = 10^{-6}\text{m}$) bzw. **Nano-** ($1 \text{nm} = 10^{-9}\text{m}$) **meterbereich** aufweisen.
- Übergang von der **Mikro-** zur **Nanoelektronik**, um noch höhere Leistung in noch kleineren Bauteilen bei noch geringeren Kosten zu ermöglichen.
- Der Verkleinerung herkömmlicher Schaltkreise aus Silizium sind physikalische Grenzen gesetzt, auch die Taktfrequenz lässt sich nicht unbegrenzt erhöhen.
- Weitere Miniaturisierung erfordert Einsatz von Nanotechnologie, bisher allerdings noch kein Einsatz von Quanteneffekten.

SyreNe

Peter Benner

Nanoelektronik
Mikro-
/Nanoelektronik
Miniaturisierung
Schaltkreis-
simulation
Modellierung
Modellreduktion
Teilprojekte

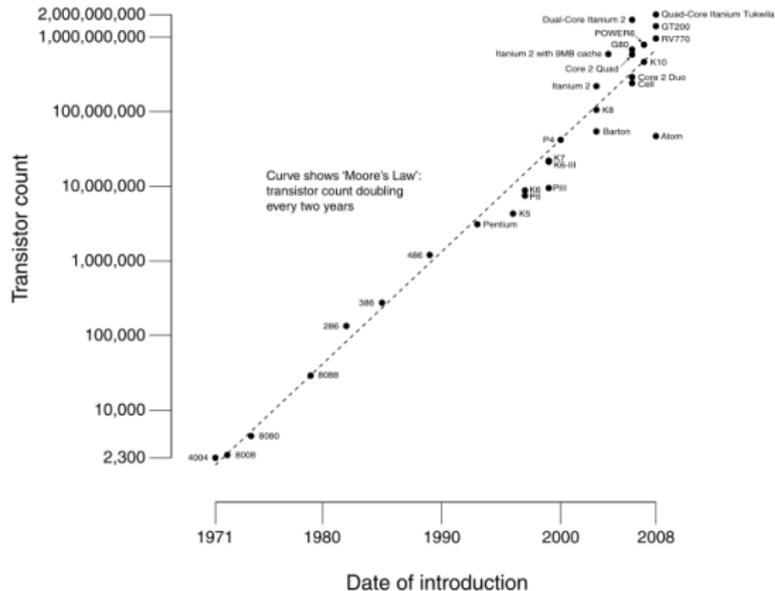
Anwendungen

- Unterhaltungselektronik (Spielekonsolen, MP3 Player, ...)
- Mobiltelefone, PDAs
- Computertechnik (CPUs, Speicherbausteine, ...)
- Navigation, Sensorik
- Fahrzeugelektronik (ASICs = **Anwendungs-Spezifische ICs**)
- Automatisierungstechnik
- Medizintechnik
- ...



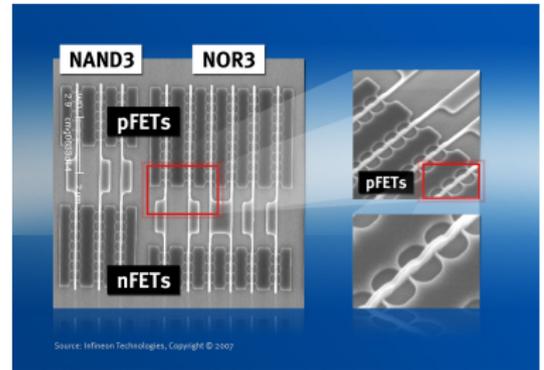
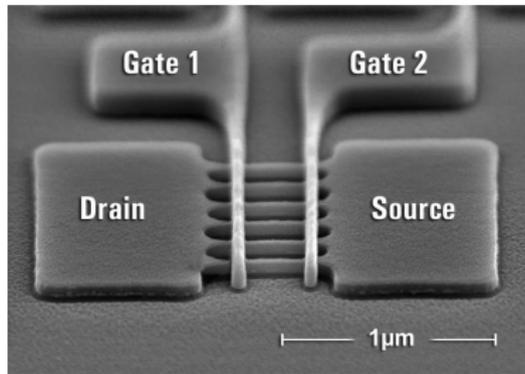
Moore's Law (1965/75) besagt, dass sich die Anzahl der Transistoren auf einem Chip alle 24 Monate verdoppelt.

CPU Transistor Counts 1971-2008 & Moore's Law



Herstellungsprozess von ICs beruht heutzutage meist auf der CMOS Technologie ("Complementary Metal Oxide Semiconductor", dt. *komplementärer Metall-Oxid-Halbleiter*)

Dabei werden immer 2 komplementäre (n- bzw. p-Kanal) Feldeffekttransistoren (MOSFETs) zusammengeschaltet, um Logikoperationen durchzuführen.



CMOS Technologie – Miniaturisierung

Mikrotechnologie

10 μm		z.B. Intel 4004 (1971)
3 μm		z.B. Intel 8086 (1978)
1.5 μm		z.B. Intel 80286 (1982)
1 μm		z.B. Intel 386 (1985)
800 nm	(0.80 μm)	z.B. Intel 486 (1989)
600 nm	(0.60 μm)	z.B. Intel 486DX2 (1990)
350 nm	(0.35 μm)	z.B. Intel Pentium Pro (1995), Nintendo 64
250 nm	(0.25 μm)	z.B. DEC Alpha (1999), Playstation 2
180 nm	(0.18 μm)	z.B. Intel Pentium P4 (2000)
130 nm	(0.13 μm)	

Nanotechnologie (< 100nm)

90 nm		
65 nm		z.B. Intel Core 2 Duo (2006)
45 nm		z.B. Intel Core 2 Extreme (2007)
32 nm		Intel Core i7 980X "Gulftown" (03/2010)
22 nm		Ende der herkömmlichen CMOS-Herstellung (2011/12)
16 nm		Übergang zur Nanoelektronik (2018)
11 nm		Nanoelektronik (Tunneleffekt) (2022)

SyreNe

Peter Benner

Nanoelektronik

Mikro-
/Nanoelektronik

Miniaturisierung

Schaltkreis-
simulation

Modellierung

Modellreduktion

Teilprojekte

Ein Größenvergleich

Transient-Voltage-Suppression (TVS)-Diode von Infineon.



Schutzeinrichtung gegen elektrostatische Entladung, für
High-Speed-Schnittstellen, z.B. USB 2.0, Ethernet 10/1000, uvm.

Miniaturisierung

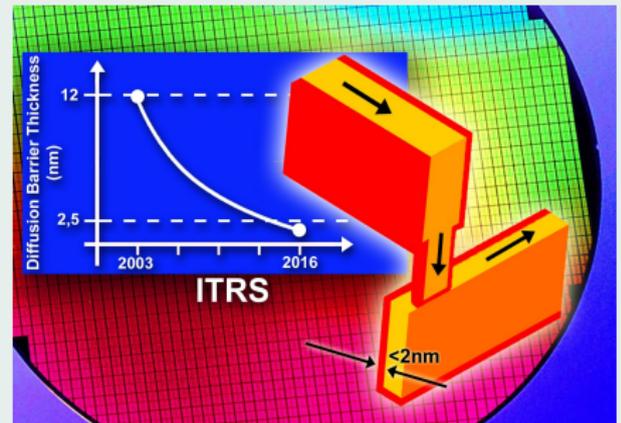
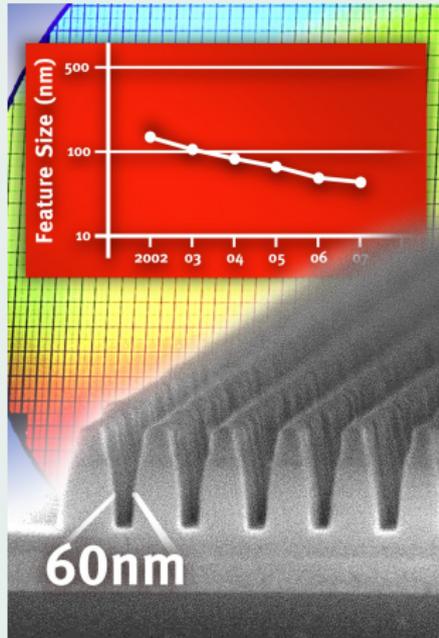
Entwicklung des CMOS ("Complementary Metal Oxide Semiconductor")
Herstellungsprozesses

SyreNe

Peter Benner

Nanoelektronik
Mikro-
/Nanoelektronik
Miniaturisierung
Schaltkreis-
simulation
Modellierung
Modellreduktion
Teilprojekte

Strukturbreiten



Intel 4004 — der erste Mikroprozessor (1971)

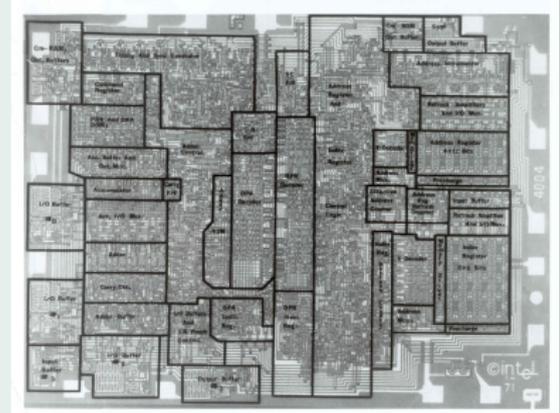
- 4 Bit Architektur,
- 1-lagig,
- **10 μ m Technologie,**
- **2.300 Transistoren,**
- 64/108 KHz.



www.MyNikko.com 2006

Intel 4004 — der erste Mikroprozessor (1971)

- 4 Bit Architektur,
- 1-lagig,
- **10 μ m Technologie,**
- **2.300 Transistoren,**
- 64/108 KHz.



SyreNe

Peter Benner

Nanoelektronik

Mikro-
/Nanoelektronik

Miniaturisierung
Schaltkreis-
simulation

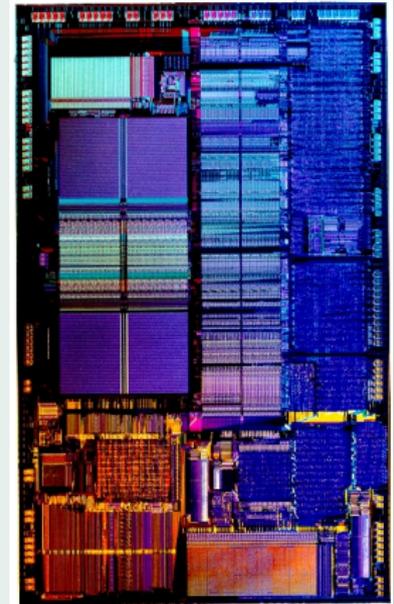
Modellierung

Modellreduktion

Teilprojekte

Intel 486 — mehr als 1 Million Transistoren (1989)

- 32 Bit Architektur,
- 600/800nm Technologie,
- 1.200.000 Transistoren,
- 25 MHz.



SyreNe

Peter Benner

Nanoelektronik

Mikro-
/Nanoelektronik

Miniaturisierung

Schaltkreis-
simulation

Modellierung

Modellreduktion

Teilprojekte

Intel Pentium 4 — erstmals “Nanotechnologie” (2000)

- 32 Bit Architektur,
- 7-lagig,
- **180nm Technologie,**
- **42.000.000 Transistoren,**
- 1.5 GHz,
- **2 km Leiterbahnen (Interconnect).**



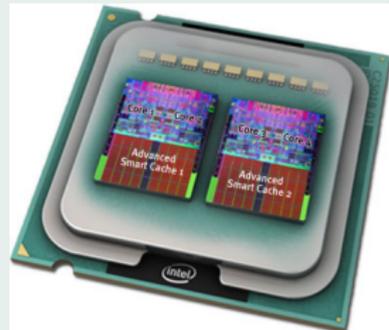
SyreNe

Peter Benner

Nanoelektronik
Mikro-
/Nanoelektronik
Miniaturisierung
Schaltkreis-
simulation
Modellierung
Modellreduktion
Teilprojekte

Intel Core 2 Extreme (quad-core) (2007)

- 64 Bit Architektur,
- 9-lagig,
- 45nm Technologie,
- 820.000.000 Transistoren,
- 3 GHz.



(Elektronische) Schaltkreissimulation

- Verwendung mathematischer Modelle, um das Verhalten eines elektronischen Schaltkreises oder Bauteils (↪ **Bauelemente-Simulation**) zu replizieren.
- **VLSI Design**: Entwurf von ICs.
- Die Simulation des Verhaltens einer Schaltung **vor** der Herstellung eines ersten Prototyps erhöht die Effizienz des VLSI Designprozesses erheblich, Fehler können schnell korrigiert werden.
- Insbesondere für ICs ist
 - die Herstellung von Photomasken für Prototypen teuer,
 - das Testen des Verhaltens interner Signale extrem schwierig.

Daher ist VLSI Design heutzutage ohne numerische Simulation nicht mehr denkbar!

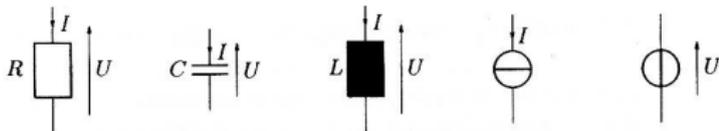
(Elektronische) Schaltkreissimulation

- Verwendung mathematischer Modelle, um das Verhalten eines elektronischen Schaltkreises oder Bauteils (↔ Bauelemente-Simulation) zu replizieren.
- **VLSI Design:** Entwurf von ICs.
- Die Simulation des Verhaltens einer Schaltung **vor** der Herstellung eines ersten Prototyps erhöht die Effizienz des VLSI Designprozesses erheblich, Fehler können schnell korrigiert werden.
- Insbesondere für ICs ist
 - die Herstellung von Photomasken für Prototypen teuer,
 - das Testen des Verhaltens interner Signale extrem schwierig.

Daher ist VLSI Design heutzutage ohne numerische Simulation nicht mehr denkbar!

Modellierung mit **modifizierter Knotenanalyse (MNA)**, basierend auf

Bauelementgleichungen (konzentrierte Elemente)



Linearer Widerstand: $I = U/R = G \cdot U$ $G = \text{Leitwert}$

Kapazität: $I = C \cdot \dot{U}$ $\dot{U} := \frac{d}{dt} U(t)$

Induktivität: $U = L \cdot \dot{I}$

unabh. Stromquelle: $I = s_1(t)$

unabh. Spannungsquelle: $U = s_1(t)$

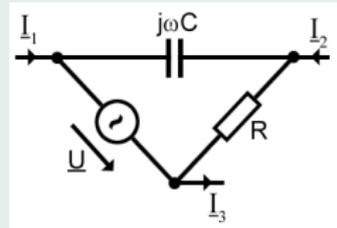
Modellierung mit **modifizierter Knotenanalyse (MNA)**, basierend auf

Kirchhoffschen Gesetzen

1. Knotenregel:

Die Summe aller Ströme in einem Knotenpunkt ist null,

$$\sum_{k=1}^N I_k = 0.$$



Quelle: http://de.wikipedia.org/wiki/Kirchhoffsche_Regeln

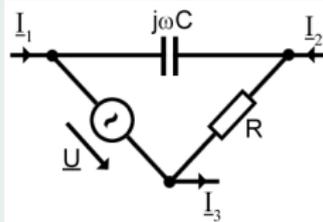
Modellierung mit **modifizierter Knotenanalyse (MNA)**, basierend auf

Kirchhoffschen Gesetzen

1. Knotenregel:

Die Summe aller Ströme in einem Knotenpunkt ist null,

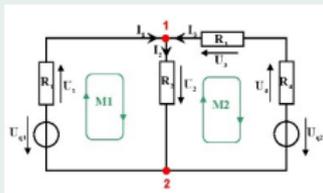
$$\sum_{k=1}^N I_k = 0.$$



2. Maschenregel:

Alle Teilspannungen einer Masche in einem elektrischen Netzwerk addieren sich zu null,

$$\sum_{k=1}^N U_k = 0.$$



Quelle: http://de.wikipedia.org/wiki/Kirchhoffsche_Regeln

SyreNe

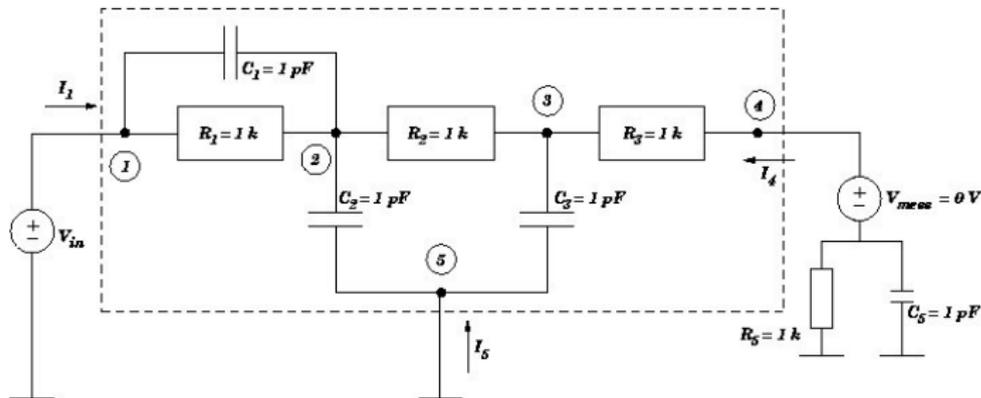
Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Teilprojekte



MNA \rightarrow

$$\text{Knoten 1: } I_1 = G_1(U_1 - U_2) + C_1(\dot{U}_1 - \dot{U}_2)$$

$$\text{Knoten 2: } 0 = G_1(U_2 - U_1) + G_2(U_2 - U_3) + C_1(\dot{U}_2 - \dot{U}_1) + C_2(\dot{U}_2 - \dot{U}_5)$$

$$\text{Knoten 3: } 0 = G_2(U_3 - U_2) + G_3(U_3 - U_4) + C_3(\dot{U}_3 - \dot{U}_5)$$

$$\text{Knoten 4: } I_4 = G_3(U_4 - U_3)$$

$$\text{Knoten 5: } I_5 = C_2(\dot{U}_5 - \dot{U}_2) + C_3(\dot{U}_5 - \dot{U}_3)$$

MNA ergibt

differentiell-algebraisches Gleichungssystem (DAE)

$$C\dot{x} = Gx + Bu, \quad y = L^T x,$$

mit **Eingängen** $u(t)$, **Zuständen** $x(t)$, **Ausgängen** $y(t)$:

$$u = \begin{bmatrix} I_1 \\ I_4 \\ I_5 \end{bmatrix}, \quad x = [U_1 \quad U_2 \quad U_3 \quad U_4 \quad U_5]^T, \quad y = \begin{bmatrix} U_1 \\ U_4 \\ U_5 \end{bmatrix}$$

und

$$C = \begin{bmatrix} C_1 & -C_1 & 0 & 0 & 0 \\ -C_1 & C_1 + C_2 & 0 & 0 & -C_2 \\ 0 & 0 & C_3 & 0 & -C_3 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & -C_2 & -C_3 & 0 & C_2 + C_3 \end{bmatrix}, \quad B = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix},$$

$$G = \begin{bmatrix} G_1 & -G_1 & 0 & 0 & 0 \\ -G_1 & G_1 + G_2 & -G_2 & 0 & 0 \\ 0 & -G_2 & G_2 + G_3 & -G_3 & 0 \\ 0 & 0 & -G_3 & G_3 & 0 \\ 0 & 0 & 0 & 0 & 0 \end{bmatrix}, \quad L = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix}.$$

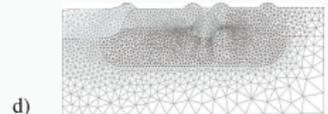
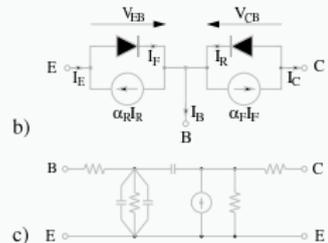
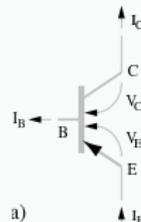
- Gesamtmodelle moderner ICs lassen sich nicht mehr komplett aufstellen/simulieren, Teilschaltungen bestehen aus wenigen Hundert bis Millionen Gleichungen.
- Numerische Simulation wird ermöglicht durch Kopplung von **kompakten Modellen** der Teilschaltkreise.
- Modellierung nichtlinearer Bauelemente (Dioden, Transistoren) führt zu nichtlinearen DAE-Systemen.
- Kritische Bauelemente können nicht mehr ohne weiteres durch Ersatzschaltungen **konzentrierter Elemente** modelliert werden.
- Bauelemente-Simulation benötigt partielle Differentialgleichungen (PDEs, **Drift-Diffusions-Modell**).
- Kopplung von Schaltkreis mit nicht-konzentriertem Bauelement führt auf partiell differentiell-algebraische Gleichungen (PDAEs).

Idee:

Ersetze dynamisches System durch **Ersatzschaltbild**.
Ersatzschaltbild = elektrisches Netzwerk.

Beispiel: PNP Transistor

- Vollständige Beschreibung erfordert (Quanten-)Drift-Diffusions-Modell, d.h. Kopplung von Transportgleichung, Maxwellgleichung, Poisson-Boltzmann-Gleichung.
- **Bisher:** Ersatzschaltung, d.h. Modellierung durch 2 Dioden.
- Weitere Vereinfachung für Analyse kleiner Signale im Wesentlichen durch einfaches RLC Netzwerk.



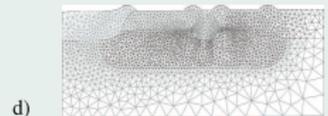
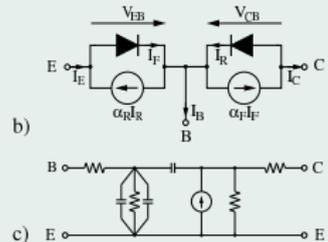
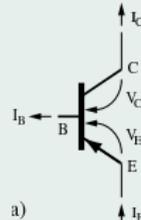
Reicht nicht mehr aus, um wesentliche Effekte zu erfassen!

Idee:

Ersetze dynamisches System durch **Ersatzschaltbild**.
Ersatzschaltbild = elektrisches Netzwerk.

Beispiel: PNP Transistor

- Vollständige Beschreibung erfordert **(Quanten-)Drift-Diffusions-Modell**, d.h. Kopplung von Transportgleichung, Maxwellgleichung, Poisson-Boltzmann-Gleichung.
- **Bisher:** Ersatzschaltung, d.h. Modellierung durch 2 Dioden.
- Weitere Vereinfachung für Analyse kleiner Signale im Wesentlichen durch einfaches RLC Netzwerk.



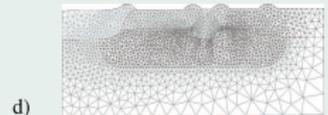
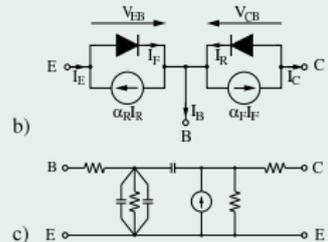
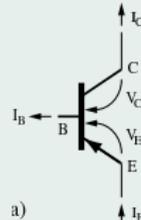
Reicht nicht mehr aus, um wesentliche Effekte zu erfassen!

Idee:

Ersetze dynamisches System durch **Ersatzschaltbild**.
Ersatzschaltbild = elektrisches Netzwerk.

Beispiel: PNP Transistor

- Vollständige Beschreibung erfordert **(Quanten-)Drift-Diffusions-Modell**, d.h. Kopplung von Transportgleichung, Maxwellgleichung, Poisson-Boltzmann-Gleichung.
- **Bisher:** Ersatzschaltung, d.h. Modellierung durch 2 Dioden.
- Weitere Vereinfachung für Analyse kleiner Signale im Wesentlichen durch einfaches RLC Netzwerk.



Reicht nicht mehr aus, um wesentliche Effekte zu erfassen!

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Motivation

Grundidee

Ziele

Anwendungen

Teilprojekte

Fortschreitende Miniaturisierung — Konsequenzen

- **Moore's Law** \Rightarrow zur Beschreibung der Schaltkreise werden immer mehr Gleichungen nötig, zur Modellierung der Netzwerk-Topologie (Kirchhoffsche Gesetze) einerseits und charakteristische Gleichungen der Bauelemente andererseits.

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Motivation

Grundidee

Ziele

Anwendungen

Teilprojekte

Fortschreitende Miniaturisierung — Konsequenzen

- **Moore's Law** \Rightarrow zur Beschreibung der Schaltkreise werden immer mehr Gleichungen nötig, zur Modellierung der Netzwerk-Topologie (Kirchhoffsche Gesetze) einerseits und charakteristische Gleichungen der Bauelemente andererseits.
- Verifizierung eines VLSI Designs benötigt eine Vielzahl von Simulationsläufen für verschiedene Eingangssignale.

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Motivation

Grundidee

Ziele

Anwendungen

Teilprojekte

Fortschreitende Miniaturisierung — Konsequenzen

- **Moore's Law** \Rightarrow zur Beschreibung der Schaltkreise werden immer mehr Gleichungen nötig, zur Modellierung der Netzwerk-Topologie (Kirchhoffsche Gesetze) einerseits und charakteristische Gleichungen der Bauelemente andererseits.
- Verifizierung eines VLSI Designs benötigt eine Vielzahl von Simulationsläufen für verschiedene Eingangssignale.
- Mit steigender Integrationsdichte und durch **mehrlagiges Layout** nehmen **parasitäre Effekte** (Signalstörungen durch Überlagerung elektromagnetischer Felder und thermische Effekte) zu und müssen modelliert werden.

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Motivation

Grundidee

Ziele

Anwendungen

Teilprojekte

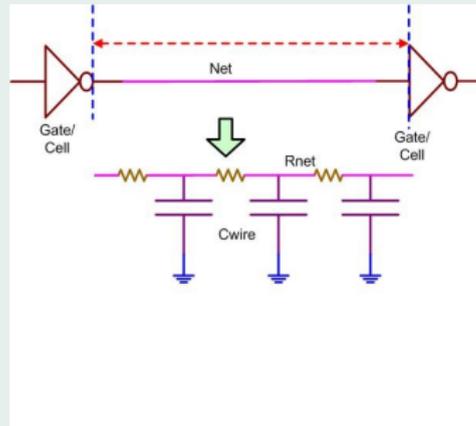
Fortschreitende Miniaturisierung — Konsequenzen

- **Moore's Law** \Rightarrow zur Beschreibung der Schaltkreise werden immer mehr Gleichungen nötig, zur Modellierung der Netzwerk-Topologie (Kirchhoffsche Gesetze) einerseits und charakteristische Gleichungen der Bauelemente andererseits.
- Verifizierung eines VLSI Designs benötigt eine Vielzahl von Simulationsläufen für verschiedene Eingangssignale.
- Mit steigender Integrationsdichte und durch mehrlagiges Layout nehmen parasitäre Effekte (Signalstörungen durch Überlagerung elektromagnetischer Felder und thermische Effekte) zu und müssen modelliert werden.

Modellierung der Leiterbahnen (**Interconnect**) durch RLC Netzwerke, thermische Effekte oder kritische Bauteile durch örtlich diskretisierte partielle Differentialgleichungen!

Interconnect Modellierung

Modellierung der Leiterbahnen (**Interconnect**) durch RLC Netzwerke, thermische Effekte oder kritische Bauteile durch örtlich diskretisierte partielle Differentialgleichungen!



SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Motivation

Grundidee

Ziele

Anwendungen

Teilprojekte

Fortschreitende Miniaturisierung — Konsequenzen

- **Moore's Law** \Rightarrow zur Beschreibung der Schaltkreise werden immer mehr Gleichungen nötig, zur Modellierung der Netzwerk-Topologie (Kirchhoffsche Gesetze) einerseits und charakteristische Gleichungen der Bauelemente andererseits.
- Verifizierung eines VLSI Designs benötigt eine Vielzahl von Simulationsläufen für verschiedene Eingangssignale.
- Mit steigender Integrationsdichte und durch mehrlagiges Layout nehmen parasitäre Effekte (Signalstörungen durch Überlagerung elektromagnetischer Felder und thermische Effekte) zu und müssen modelliert werden.
- **Aktuelle Computergeneration liefert nicht die Rechenleistung, die nötig wäre, das Verhalten ihrer Nachfolger numerisch zu simulieren!**

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Motivation

Grundidee

Ziele

Anwendungen

Teilprojekte

Fazit

Methoden zur Reduktion der Komplexität der mathematischen Schaltkreismodelle für CAD von ICs bzw. VLSI Design unumgänglich!



System- bzw. Modellreduktion

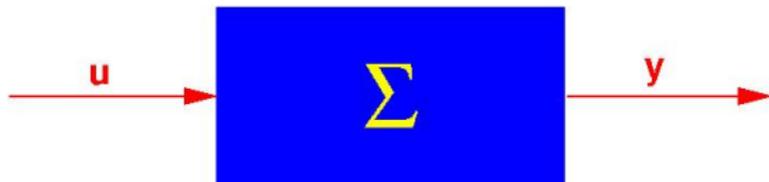
Dynamische Systeme/DAEs

$$\Sigma : \begin{cases} \frac{d}{dt}q(x(t)) = f(x(t), u(t)), & x(t_0) = x_0, \\ y(t) = g(x(t), u(t)), \end{cases}$$

mit

- **Zuständen** $x(t) \in \mathbb{R}^n$,
- **Eingängen** $u(t) \in \mathbb{R}^m$,
- **Ausgängen** $y(t) \in \mathbb{R}^p$.

↪ System differentiell-algebraischer Gleichungen (DAEs).



Originalsystem

$$\Sigma : \begin{cases} \frac{d}{dt} q(x(t)) = f(x(t), u(t)), \\ y(t) = g(x(t), u(t)). \end{cases}$$

- Zustände $x(t) \in \mathbb{R}^n$,
- Eingänge $u(t) \in \mathbb{R}^m$,
- Ausgänge $y(t) \in \mathbb{R}^p$.



Reduziertes System

$$\hat{\Sigma} : \begin{cases} \frac{d}{dt} \hat{q}(\hat{x}(t)) = \hat{f}(t, \hat{x}(t), u(t)), \\ \hat{y}(t) = \hat{g}(t, \hat{x}(t), u(t)). \end{cases}$$

- Zustände $\hat{x}(t) \in \mathbb{R}^r$, $r \ll n$
- Eingänge $u(t) \in \mathbb{R}^m$,
- Ausgänge $\hat{y}(t) \in \mathbb{R}^p$.



Ziel:

$$\|y - \hat{y}\| < \text{tol} \cdot \|u\| \text{ für alle zulässigen Eingangssignale.}$$

Originalsystem

$$\Sigma : \begin{cases} \frac{d}{dt} q(x(t)) = f(x(t), u(t)), \\ y(t) = g(x(t), u(t)). \end{cases}$$

- Zustände $x(t) \in \mathbb{R}^n$,
- Eingänge $u(t) \in \mathbb{R}^m$,
- Ausgänge $y(t) \in \mathbb{R}^p$.



Reduziertes System

$$\hat{\Sigma} : \begin{cases} \frac{d}{dt} \hat{q}(x(t)) = \hat{f}(t, \hat{x}(t), u(t)), \\ \hat{y}(t) = \hat{g}(t, \hat{x}(t), u(t)). \end{cases}$$

- Zustände $\hat{x}(t) \in \mathbb{R}^r$, $r \ll n$
- Eingänge $u(t) \in \mathbb{R}^m$,
- Ausgänge $\hat{y}(t) \in \mathbb{R}^p$.



Ziel:

$$\|y - \hat{y}\| < \text{tol} \cdot \|u\| \text{ für alle zulässigen Eingangssignale.}$$

- **Automatische Berechnung kompakter Modelle.**
- Fehler in den Ausgangssignalen des reduzierten Modells dürfen eine vorgegebene Fehlertoleranz nicht überschreiten.
Benötige berechenbare Fehlerabschätzungen!
- Erhalte physikalische Eigenschaften:
 - Stabilität
 - Passivität, d.h. es wird von Modellen passiver Bauteile keine Energie erzeugt.
- Reduzierte Modelle sollten erheblich schnellere Simulation erlauben.
- Reduzierte Modelle sollten wieder als Schaltkreis realisierbar sein (hinreichend: *Reziprozität*).

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Motivation

Grundidee

Ziele

Anwendungen

Teilprojekte

- Automatische Berechnung kompakter Modelle.
- Fehler in den Ausgangssignalen des reduzierten Modells dürfen eine vorgegebene Fehlertoleranz nicht überschreiten.
Benötige berechenbare Fehlerabschätzungen!
- Erhalte physikalische Eigenschaften:
 - Stabilität
 - Passivität, d.h. es wird von Modellen passiver Bauteile keine Energie erzeugt.
- Reduzierte Modelle sollten erheblich schnellere Simulation erlauben.
- Reduzierte Modelle sollten wieder als Schaltkreis realisierbar sein (hinreichend: *Reziprozität*).

- Automatische Berechnung kompakter Modelle.
- Fehler in den Ausgangssignalen des reduzierten Modells dürfen eine vorgegebene Fehlertoleranz nicht überschreiten.
Benötige berechenbare Fehlerabschätzungen!
- **Erhalte physikalische Eigenschaften:**
 - Stabilität
 - Passivität, d.h. es wird von Modellen passiver Bauteile keine Energie erzeugt.
- Reduzierte Modelle sollten erheblich schnellere Simulation erlauben.
- Reduzierte Modelle sollten wieder als Schaltkreis realisierbar sein (hinreichend: *Reziprozität*).

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Motivation

Grundidee

Ziele

Anwendungen

Teilprojekte

- Automatische Berechnung kompakter Modelle.
- Fehler in den Ausgangssignalen des reduzierten Modells dürfen eine vorgegebene Fehlertoleranz nicht überschreiten.
Benötige berechenbare Fehlerabschätzungen!
- Erhalte physikalische Eigenschaften:
 - **Stabilität**
 - Passivität, d.h. es wird von Modellen passiver Bauteile keine Energie erzeugt.
- Reduzierte Modelle sollten erheblich schnellere Simulation erlauben.
- Reduzierte Modelle sollten wieder als Schaltkreis realisierbar sein (hinreichend: *Reziprozität*).

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Motivation

Grundidee

Ziele

Anwendungen

Teilprojekte

- Automatische Berechnung kompakter Modelle.
- Fehler in den Ausgangssignalen des reduzierten Modells dürfen eine vorgegebene Fehlertoleranz nicht überschreiten.
Benötige berechenbare Fehlerabschätzungen!
- Erhalte physikalische Eigenschaften:
 - Stabilität
 - Passivität, d.h. es wird von Modellen passiver Bauteile keine Energie erzeugt.
- Reduzierte Modelle sollten erheblich schnellere Simulation erlauben.
- Reduzierte Modelle sollten wieder als Schaltkreis realisierbar sein (hinreichend: *Reziprozität*).

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Motivation

Grundidee

Ziele

Anwendungen

Teilprojekte

- Automatische Berechnung kompakter Modelle.
- Fehler in den Ausgangssignalen des reduzierten Modells dürfen eine vorgegebene Fehlertoleranz nicht überschreiten.
Benötige berechenbare Fehlerabschätzungen!
- Erhalte physikalische Eigenschaften:
 - Stabilität
 - Passivität, d.h. es wird von Modellen passiver Bauteile keine Energie erzeugt.
- **Reduzierte Modelle sollten erheblich schnellere Simulation erlauben.**
- Reduzierte Modelle sollten wieder als Schaltkreis realisierbar sein (hinreichend: *Reziprozität*).

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Motivation

Grundidee

Ziele

Anwendungen

Teilprojekte

- Automatische Berechnung kompakter Modelle.
- Fehler in den Ausgangssignalen des reduzierten Modells dürfen eine vorgegebene Fehlertoleranz nicht überschreiten.
Benötige berechenbare Fehlerabschätzungen!
- Erhalte physikalische Eigenschaften:
 - Stabilität
 - Passivität, d.h. es wird von Modellen passiver Bauteile keine Energie erzeugt.
- Reduzierte Modelle sollten erheblich schnellere Simulation erlauben.
- **Reduzierte Modelle sollten wieder als Schaltkreis realisierbar sein (hinreichend: Reziprozität).**

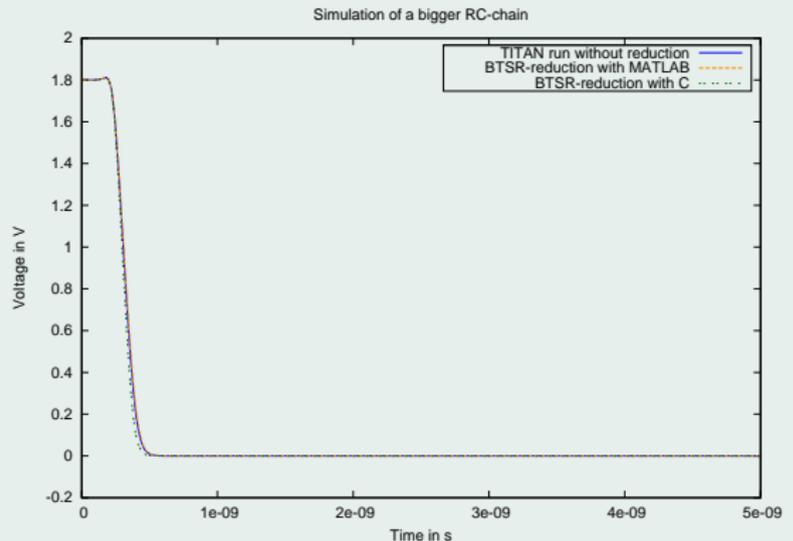
Modellreduktion in der industriellen Praxis

Simulationsergebnisse mit TITAN (Qimonda/Infineon Technologies)

Beispiel 1

297 Widerstände, 268 Kapazitäten, 4 Spannungsquellen, 8 MOSFETs.
Lineare Teilschaltung der Ordnung $n = 297$ extrahiert, reduziert auf
Ordnung $r = 31$.

Simulationsergebnisse (TITAN):



Modellreduktion in der industriellen Praxis

Simulationsergebnisse mit TITAN (Qimonda/Infineon Technologies)

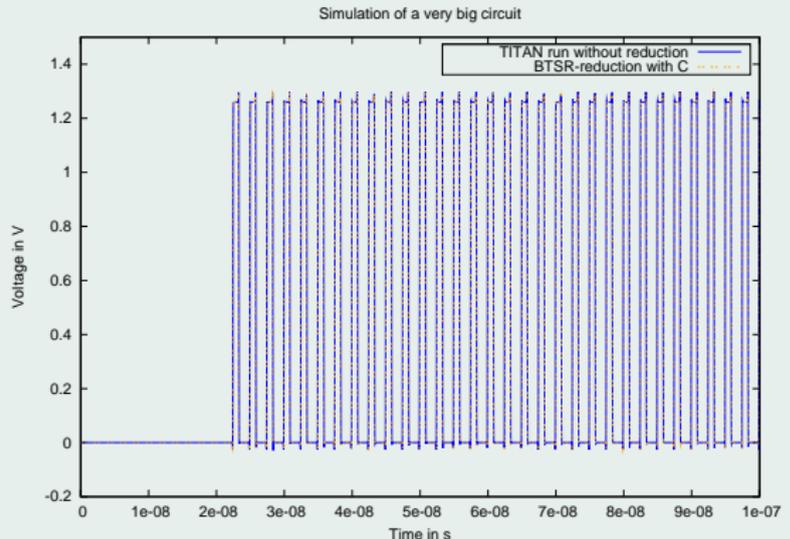
Beispiel 2: industrieller Schaltkreis von Qimonda

14.677 Widerstände, 15.404 Kapazitäten,

14 Spannungsquellen, 4.800 MOSFETs.

14 lineare Teilschaltkreise variierender Ordnung extrahiert und reduziert.

Simulationsergebnisse (mit TITAN):



SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Teilprojekte

TP1

TP2

TP3

TP4

TP5

TP6

Ziel

- Entwicklung von Methoden zur Modell-/Systemreduktion im Design hochdimensionaler nanoelektronischer ICs.
- Vergleich der Methoden und Verifikation in der Praxis der Halbleiterentwicklung.
- Zwei komplementäre Herangehensweisen:
 - Reduktion des gesamten Systems durch globale Methode.
 - Erstellung reduzierter Modelle für einzelne Bauelemente und große lineare Teilnetze, welche dann zu einem reduzierten System verkoppelt werden.

Projektleiter: Prof. Dr. Michael Hinze
Projektbearbeiter: Martin Kunkel, Ulrich Matthes,
 (Morten Vierling)



Projektziele

- Entwicklung von Methoden für das Gesamtsystem **Schaltkreis – Bauelement**, d.h. Ansatz “Kopplung-dann-Reduktion”.
- Simulation gekoppelter Netzwerke.
Kopplung der Netzwerkgleichungen (**RLC-Schaltkreis**) mit instationärem (**Drift-Diffusions-(DD-)Modell**) für Halbleiter-Bauelement (**Transistor**).
- Diskretisierung des DD-Modells durch **Finite-Element Methode**.
↪ viele lokale Basisfunktionen.
- Modellreduktion durch Snapshot-POD für resultierendes Gesamtsystem (**partiell-differentiell algebraische Gleichungen (PDAEs)**).
↪ wenige problemangepasste globale Basisfunktionen.

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Teilprojekte

TP1

TP2

TP3

TP4

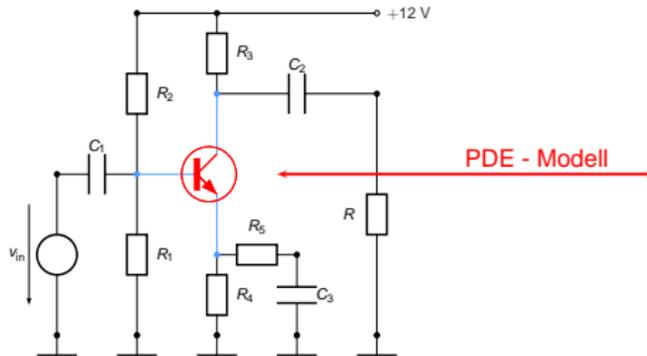
TP5

TP6

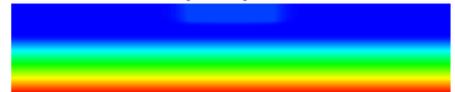
Projektleiter: Prof. Dr. Michael Hinze
Projektbearbeiter: Martin Kunkel, Ulrich Matthes,
 (Morten Vierling)



Universität Hamburg



Potential $\psi(t, x)$



Elektronenkonz. $n(t, x)$



+ weitere Größen

Projektleiter: Prof. Dr. Michael Hinze

Projektbearbeiter: Martin Kunkel, Ulrich Matthes,
(Morten Vierling)



Universität Hamburg

Ergebnisse:

- Simulation des unreduzierten Systems und POD-Modellreduktion.
- Reduziertes Modell auch gültig bei Parameteränderung.
- Weitere Simulationen bei geeignet gewählten Parametern.
Erweiterung des reduzierten Modells auf größeren Parameterbereich.
- Reduktion der Nichtlinearitäten: Anwendung von Discrete Empirical Interpolation [Charturantabut, Sorensen '09]
- Kombination mit den Reduktionstechniken von TP3.

M. Hinze, M. Kunkel. *Residual Based Sampling in POD Model Order Reduction of Drift-Diffusion Equations in Parametrized Electrical Networks*. Eingereicht, [arXiv:1003.0551](https://arxiv.org/abs/1003.0551).

Projektleiter: Prof. Dr. Heike Faßbender
Projektbearbeiter: Juan Amorocho Duran



Projektziele

- Reduktion der Kosten der numerischen Simulation von aus ladungsorientierter MNA entstandenen **nichtlinearen DAE-Systemen**.
- Entwicklung von **passivitätserhaltenden** Modellreduktionsverfahren für nichtlineare (DAE-)Systeme.
- Weiterentwicklung des **TPWL-Ansatzes** ("trajectory piecewise weighted linear", [REWIEŃSKI/WHITE 2003]) auf DAEs.

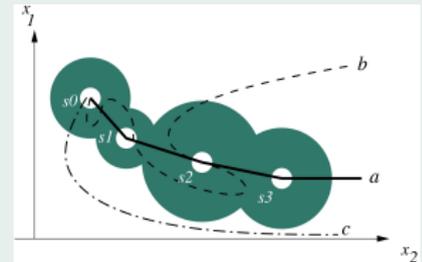


Abbildung: Konstruktion linearer Modelle entlang einer Trajektorie.

Projektleiter: Prof. Dr. Heike Faßbender
Projektbearbeiter: Juan Amorocho Duran



Mathematischer Ansatz:

- Darstellung des nichtlinearen Modells als gewichtete Summe linearer Modelle
- Auswahl geeigneter linearer MOR-Ansätze, bzw. Konstruktion eines geeigneten MOR-Verfahren, welches die Passivitätserhaltung garantiert

Resultate:

- Neuer Ansatz zur Auswahl der linearen Modelle
- Vorschlag neuer gewichteter Darstellungen

J. P. Amorocho, H. Faßbender. *Some contributions to the model order reduction of large scale non-linear electric circuits*. Eingereicht.

To-do-Liste:

- Beweis der Passivitätserhaltung
- Erarbeitung einer Gesamtfehlerabschätzung

Projektleiter: Prof. Dr. Heike Faßbender
Projektbearbeiter: Juan Amorocho Duran



Mathematischer Ansatz:

- Darstellung des nichtlinearen Modells als gewichtete Summe linearer Modelle
- Auswahl geeigneter linearer MOR-Ansätze, bzw. Konstruktion eines geeigneten MOR-Verfahren, welches die Passivitätserhaltung garantiert

Resultate:

- Neuer Ansatz zur Auswahl der linearen Modelle
- Vorschlag neuer gewichteter Darstellungen

J. P. Amorocho, H. Faßbender. *Some contributions to the model order reduction of large scale non-linear electric circuits*. Eingereicht.

To-do-Liste:

- Beweis der Passivitätserhaltung
- Erarbeitung einer Gesamtfehlerabschätzung

Projektleiter: Dr. Tatjana Stykel

Projektbearbeiter: Dr. Andreas Steinbrecher, Aziz Salih,
(Mohammad Sahadet Hossain)



Projektziele

- Entwicklung **elementbasierter Modellreduktionsverfahren** für nichtlineare Schaltkreisgleichungen unter **Ausnutzung der topologischen Struktur** und physikalischer Eigenschaften der Schaltkreise.
- **Mathematische Anforderungen:**
 - Topologische Bestimmung der dynamischen und algebraischen Teile der DAE-Systeme (Schaltkreisgleichungen) durch Projektoren
 - Automatisierte Algorithmenwahl basierend auf der Topologie der Schaltkreise
 - Erhaltung der Passivität bei der Modellreduktion
 - Berechenbare Fehlerschranken

Projektleiter: Dr. Tatjana Stykel

Projektbearbeiter: Dr. Andreas Steinbrecher, Aziz Salih,
 (Mohammad Sahadet Hossain)



Resultate

Modellreduktion nichtlinearer Schaltkreisgleichungen:

- Berechnung der Projektoren aus der Schaltkreistopologie
- Topologische Entkopplung linearer/nichtlinearer Teilsysteme mit Rücksicht auf den Index der Teilsysteme
- Passivitätserhaltendes balanciertes Abschneiden für lineare Schaltkreisgleichungen mit Fehlerschranken
- Lösung projizierter großdimensionaler Matrixgleichungen
- Untersuchung von Eigenschaften (Passivität, Stabilität, Index, ...) des Gesamtsystems nach der Rückkopplung der reduzierten linearen Teilsysteme

Software:

- MATLAB-Toolbox **PABTEC** – **PA**ssivity-preserving **B**alanced **T**runcation for **E**lectrical **C**ircuits

Projektleiter: Dr. Tatjana Stykel

Projektbearbeiter: Dr. Andreas Steinbrecher, Aziz Salih,
(Mohammad Sahadet Hossain)



Resultate

Modellreduktion nichtlinearer Schaltkreisgleichungen:

- Berechnung der Projektoren aus der Schaltkreistopologie
- Topologische Entkopplung linearer/nichtlinearer Teilsysteme mit Rücksicht auf den Index der Teilsysteme
- Passivitätserhaltendes balanciertes Abschneiden für lineare Schaltkreisgleichungen mit Fehlerschranken
- Lösung projizierter großdimensionaler Matrixgleichungen
- Untersuchung von Eigenschaften (Passivität, Stabilität, Index, ...) des Gesamtsystems nach der Rückkopplung der reduzierten linearen Teilsysteme

Publikationen:

- 1 T. Reis, T. Stykel. *PABTEC: Passivity-preserving balanced truncation for electrical circuits*. IEEE Trans. CAD, 2010, im Druck.
- 2 A. Steinbrecher. *Model order reduction of nonlinear circuits*. Proc. MTNS 2010.

Projektleiter: Prof. Dr. Peter Benner

Projektbearbeiter: André Schneider, Thomas Mach
Patrick Kürschner (www)



TECHNISCHE UNIVERSITÄT
CHEMNITZ
1836-2011
175 Jahre

Projektziele

Problem:

- Modellierung des **Versorgungsnetzwerks** zur Spannungsversorgung (Powergrid) der elektronischen Bauteile eines ICs,
- extrem **hohe Anzahl** von Ein- und Ausgängen (**Terminals**).

Zielstellung:

- Generierung virtueller Input-/Output-Operatoren, ESVDMOR-Ansatz,
- Gesamtreduktionsalgorithmus, Generierung numerischer Algorithmen,
- Weiterentwicklung, Implementierung im Schaltkreissimulator TITAN.

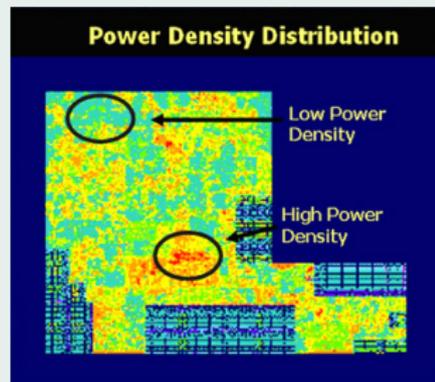


Abbildung:

Spannungsdichtenverteilung auf einem IC, Quelle: <http://www.eetimes.com>

Projektleiter: Prof. Dr. Peter Benner

Projektbearbeiter: André Schneider, Thomas Mach
Patrick Kürschner (www)



Mathematischer Ansatz:

- Terminalreduktion des Originalsystems,
- Modellreduktion des Terminal-reduzierten Modells,
- Niedrig-Rang-Abbildung der Signale auf ursprüngliche Ein- und Ausgänge.

Resultate:

- Numerische Verbesserungen des ESVD MOR Ansatzes,
P. Benner, A. Schneider. *Model order and terminal reduction approaches via matrix decomposition and low rank approximation*. In J. Roos, L.R.J. Costa (Hrsg.), *Scientific Computing in Electrical Engineering SCEE 2008, Mathematics in Industry*, Vol. 14, S. 523–530, Springer-Verlag, Berlin/Heidelberg, 2010.
- Nachweis von Stabilitäts-, Passivitäts- und Reziprozitätserhaltung,
P. Benner, A. Schneider. *On Stability, Passivity and Reciprocity Preservation of ESVD MOR*. Erscheint in P. Benner, M. Hinze, J. ter Maten (eds.), *Model Reduction for Circuit Simulation*. Springer-Verlag, Berlin/Heidelberg, 2010.

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Teilprojekte

TP1

TP2

TP3

TP4

TP5

TP6

Projektleiter: Prof. Dr. Peter Benner

Projektbearbeiter: André Schneider, Thomas Mach
Patrick Kürschner (www)



TECHNISCHE UNIVERSITÄT
CHEMNITZ
1836-2011
175 Jahre

Mathematischer Ansatz:

- Terminalreduktion des Originalsystems,
- Modellreduktion des Terminal-reduzierten Modells,
- Niedrig-Rang-Abbildung der Signale auf ursprüngliche Ein- und Ausgänge.

To-do-Liste:

- Entwicklung der Fehlertheorie,
- Implementierung in TITAN.

SyreNe Teilprojekte

Teilprojekt 5: Kopplung von numerisch/symbolischen Reduktionsverfahren zur Generierung parametrisierter Modelle nanoelektronischer Systeme

Projektleiter: Dr. Patrick Lang
Projektbearbeiter: Oliver Schmidt



Fraunhofer Institut
Techno- und
Wirtschaftsmathematik

Projektziele

Problemstellung:

- Gesucht ist ein tieferes Verständnis nichtlinearer nanoelektronischer Schaltungen bzgl.
 - Wechselwirkungen zwischen Schaltungskomponenten,
 - Abhängigkeiten des Schaltungsverhaltens von den Schaltungsparametern.
- Zu hohe Komplexität für rein symbolische Behandlung!

Projektleiter: Dr. Patrick Lang
Projektbearbeiter: Oliver Schmidt



Fraunhofer Institut
Techno- und
Wirtschaftsmathematik

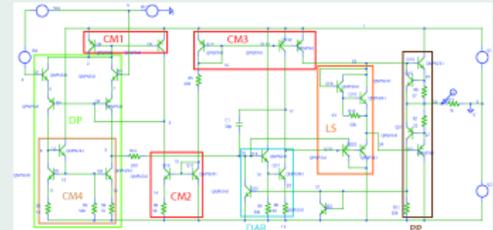
Projektziele

Ziele:

- Generierung parametrisierter Modelle komplexer Schaltungen zur
 - beschleunigten Simulation,
 - unter Erhalt dominanter Parameter.

Ansatz:

- Hierarchische Teilsystemunterteilung gemäß funktionaler Komponenten,
- fehlerkontrollierte symbolische und numerische Teilsystemreduktion,
- Kopplung der reduzierten Teilsysteme gemäß der Topologie des Ausgangssystems.



SyreNe Teilprojekte

Teilprojekt 5: Kopplung von numerisch/symbolischen Reduktionsverfahren zur Generierung parametrisierter Modelle nanoelektronischer Systeme

SyreNe

Systemkollaboration für IC-Design in der
Nanoelektronik

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Teilprojekte

TP1

TP2

TP3

TP4

TP5

TP6

Projektleiter: Dr. Patrick Lang
Projektbearbeiter: Oliver Schmidt

Resultate:

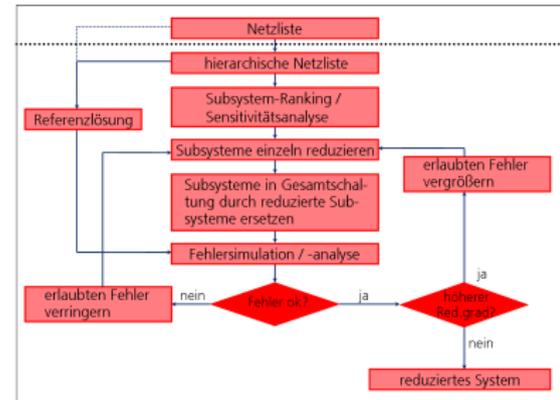
- neuer Algorithmus für hierarchische gekoppelt symbolisch-numerische Modellreduktion,
- fehlergesteuerte Reduktionen unter Verwendung eines Teilsystem-Rankings,
- prototypische Implementierung.

O. Schmidt, T. Halfmann, P. Lang. *Coupling of numerical and symbolic techniques for model order reduction in circuit design*. Erscheint in Lecture Notes in Electrical Engineering, Springer-Verlag.

O. Schmidt. *Structure-Exploiting Coupled Symbolic-Numerical Model Reduction For Electrical Networks*. Dissertation, Technische Universität Kaiserslautern, 2010 (eingereicht).



Fraunhofer
Institut
Techno- und
Wirtschaftsmathematik



SyreNe Teilprojekte

Teilprojekt 5: Kopplung von numerisch/symbolischen Reduktionsverfahren zur Generierung parametrisierter Modelle nanoelektronischer Systeme

Projektleiter: Dr. Patrick Lang
Projektbearbeiter: Oliver Schmidt



Fraunhofer Institut
Techno- und
Wirtschaftsmathematik

To Do:

- vollständige Implementierung in ANALOGINSYDES
- Herleitung globaler Fehlerschranken



Projektleiter: Prof. Dr. Matthias Bollhöfer

Projektbearbeiter: André Eppler



Projektziele

Problem:

- Effizientes Lösen der dualen, verallgemeinerten, **projizierten Lyapunovgleichungen** innerhalb der Modellreduktion

$$\begin{aligned} EXA^T + AXE^T &= -P_l BB^T P_l^T & X &= P_r^T X P_r \\ E^T YA + A^T YE &= -P_r^T C^T C P_r & Y &= P_l Y P_l^T. \end{aligned}$$

E, A dünn besetzt, wenig Struktur – ABER:

Gleichungen mit **Symmetrie- und Tensorstruktur, Niedrigrang.**

- Direkte Löser nicht anwendbar (hohe Dimension, keine Strukturhaltung).

Zielstellung:

- Entwicklung neuartiger, **iterativer Löser mit Strukturhaltung,**
- Einbinden in die vorhandene Software zur Systemreduktion.

Projektleiter: Prof. Dr. Matthias Bollhöfer

Projektbearbeiter: André Eppler



Mathematischer Ansatz:

- Krylovraumverfahren (z.B. GMRES) kombiniert mit ADI-artigen Techniken (LR-CFADI) als Vorkonditionierer,
- Einsatz approximativer Vorkonditionierer (Multilevel-ILU).

Resultate:

- Nachweis Erhaltung von Symmetrie und Niedrigrangstruktur,
M. Bollhöfer, A. Eppler. *Structure preserving Krylov-subspace methods for Lyapunov equations*. MoRePaS 09 — Model Reduction of Parametrized Systems, Universität Münster, 16.–18.09.2009.
- Ergänzung um Krylovraumprojektionstechniken,
M. Bollhöfer, A. Eppler. *An alternative way of solving large Lyapunov equations*. GAMM 2010, Universität Karlsruhe, 22.–26.03.2010.
- Teilweise Integration in PABTEC (siehe TP3).

Projektleiter: Prof. Dr. Matthias Bollhöfer

Projektbearbeiter: André Eppler



Mathematischer Ansatz:

- Krylovraumverfahren (z.B. GMRES) kombiniert mit ADI-artigen Techniken (LR-CFADI) als Vorkonditionierer,
- Einsatz approximativer Vorkonditionierer (Multilevel-ILU).

To-Do:

- Effizientere ADI-Vorkonditionierung in GMRES (weitere Strukturausnutzung, unvollständiger Löser),
- Umsetzung anderer Krylovraumverfahren.

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Teilprojekte

TP1

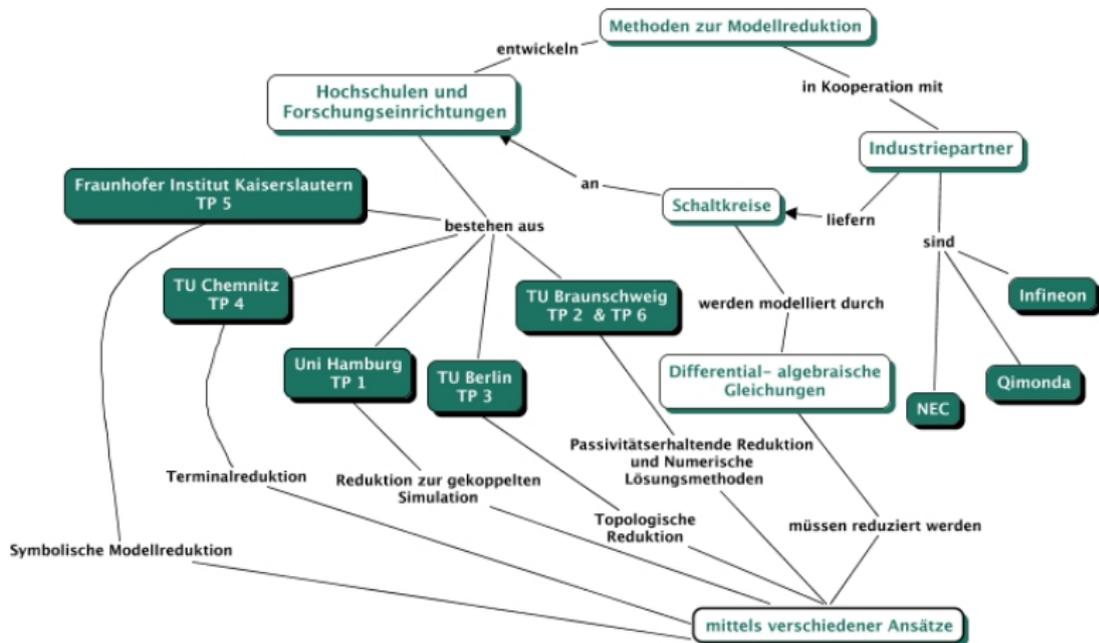
TP2

TP3

TP4

TP5

TP6



Vielen Dank für Ihre Aufmerksamkeit!

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Teilprojekte

TP1

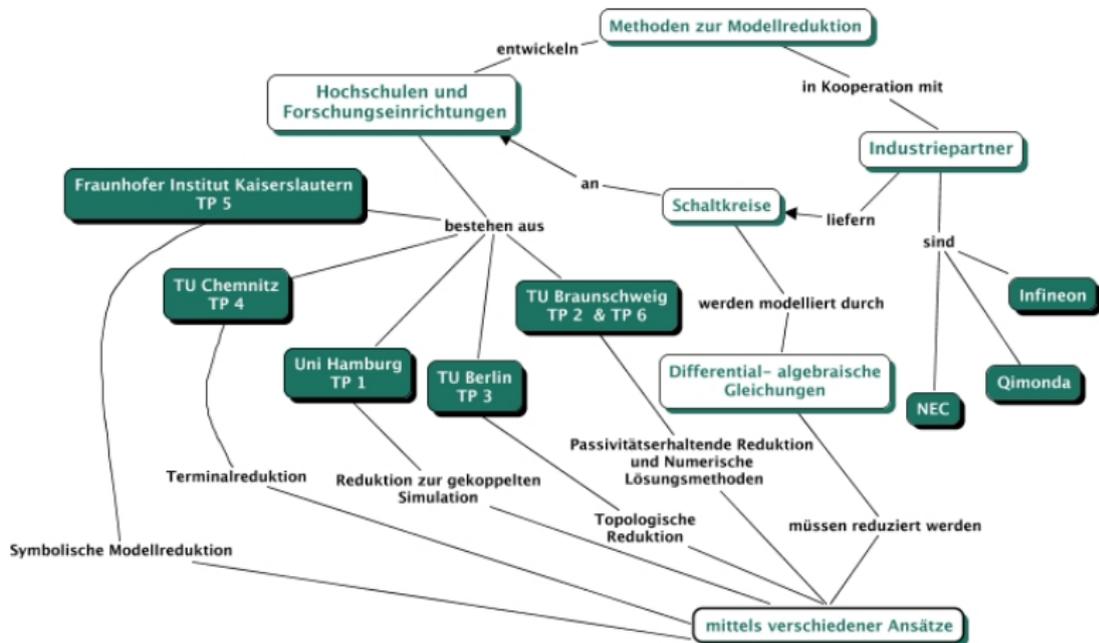
TP2

TP3

TP4

TP5

TP6



Vielen Dank für Ihre Aufmerksamkeit!

SyreNe

Peter Benner

Nanoelektronik

Modellierung

Modellreduktion

Teilprojekte

TP1

TP2

TP3

TP4

TP5

TP6

SyreNe Abschlussworkshop

Model Reduction for Complex Dynamical Systems

TU Berlin, 2.–3. Dezember 2010

Lokale Organisation: Tatjana Stykel, Andreas Steinbrecher

Hauptvortragende:

Michel S. Nakhla (Carleton University, Ottawa, Canada)

Joel Phillips (Cadence Research Laboratories, Berkeley, USA)

Timo Reis (TU Hamburg-Harburg, Germany)

Abstract Submission Deadline: 1. Juli 2010

(Offen für Beiträge aus allen Bereichen der Modellreduktion und ihrer Anwendungen.)